

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-102961

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

H01L 21/76
H01L 21/265
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242

(21)Application number : 09-263423

(71)Applicant : NEC CORP

(22)Date of filing : 29.09.1997

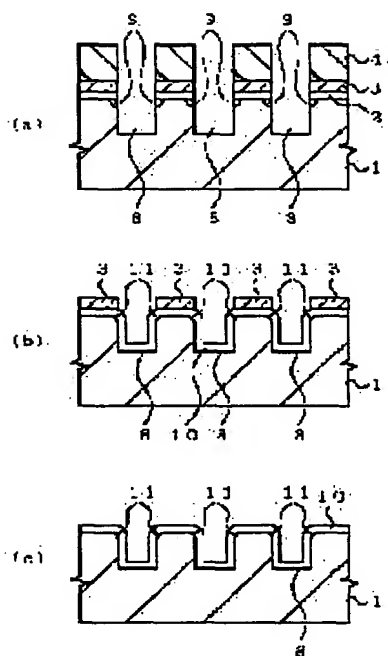
(72)Inventor : KITANO TOMOHISA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen a temperature at which the corner of a trench is subjected to a rounding treatment, by a method wherein the upper corner of the trench is previously turned amorphous, and the surface of a silicon substrate is thermally oxidized to round the upper corner of the trench by oxidation.

SOLUTION: A resist film 4a is made to serve as a mask, and the surface of a silicon substrate 1 is etched for the formation of a trench 8. Then, the resist mask 4a is removed, then a silicon nitride film 3 is made to serve as a mask, and the surface of the silicon substrate 1 is thermally oxidized. By this setup, a thermal oxide film 10 is formed on the inner wall of the trench 8 and the corner of the trench 8. After this thermal oxidation process is carried out, an amorphous corner 9 is formed on the corner of the trench, so that a rounding 11 is formed on the corner of the trench. Then, the silicon nitride film 3 is removed. By this setup, the thermal oxide film 10 is formed on the inner wall of the trench and the surface of the silicon substrate 1. Thus, the rounding 11 is formed on the corner of the trench 8.



LEGAL STATUS

[Date of request for examination] 29.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3132439

[Date of registration] 24.11.2000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-102961

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/76
21/265
27/04
21/822
27/108

H 0 1 L 21/76
21/265
27/04
27/10
L
V
Q
C
6 2 5 Z

審査請求 有 請求項の数 5 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平9-263423

(22) 出願日

平成9年(1997) 9月29日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 北野 友久

東京都港区芝五丁目7番1号 日本電気株
式会社内

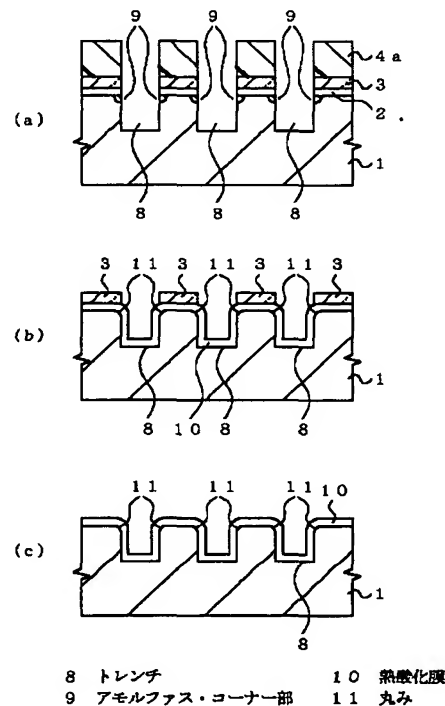
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチのコーナー部での丸み付け処理のための熱酸化の温度を低温にできるようにする。

【解決手段】 半導体基板の主表面から基板内部に設けられたトレンチの上部コーナー部を、シリコンあるいはゲルマニウム等の斜めイオン注入等で予め非晶質化し、上記の非晶質化後にシリコン基板表面を熱酸化し上記のトレンチの上部コーナー部を丸め酸化する。



【特許請求の範囲】

【請求項1】 半導体基板の主表面から基板内部に設けられたトレンチの上部コーナー部を予め非晶質化する工程と、前記非晶質化後に前記シリコン基板表面を熱酸化し前記トレンチの上部コーナー部を丸め酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の主表面に所定の開口部を有するイオン注入用のマスクを形成し、前記開口部を通して半導体基板表面に斜めイオン注入をし半導体基板表面を非晶質化した後、前記イオン注入用のマスクをエッチングマスクにして前記開口部にトレンチを形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板の主表面に所定の開口部を有するマスクを形成し前記マスクをエッチングマスクにして前記開口部にトレンチを形成した後、前記マスクを除去し半導体基板の全面に斜めイオン注入をし半導体基板表面を非晶質化することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記マスクがシリコン酸化膜、シリコン窒化膜およびフォトレジスト膜をこの順に積層した積層膜で構成されていることを特徴とする請求項2または請求項3記載の半導体装置の製造方法。

【請求項5】 前記半導体基板がシリコン基板であり、前記斜めイオン注入されるイオンがシリコン、ゲルマニウムであることを特徴とする請求項2、請求項3または請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特にトレンチ素子分離、トレンチキャパシタ用のトレンチ（溝）の形成方法に関する。

【0002】

【従来の技術】 半導体素子の構造の微細化及び高密度化は依然として精力的に推し進められている。微細化については、現在では0.15 μ m程度の寸法で形成された半導体素子が用いられ、この寸法を設計基準にしたメモリデバイスあるいはロジックデバイス等の半導体装置が開発されてきている。

【0003】 このように微細化は、半導体装置の高集積化、高速化等による高性能化あるいは多機能化にとって最も効果的な手法であり、今後の半導体装置の製造にとって必須となっている。一方、このような微細化に伴い、半導体基板の表面にトレンチが形成され、トレンチ素子分離あるいはトレンチキャパシタに使用されるようになってきている。

【0004】 このようなトレンチ構造の問題点の1つとして、トレンチ上部のコーナー部が角張り、このコーナー部で電界集中の生じてしまうことがある。このコーナー部で電界集中が生じると、このようなトレンチ素子分離を有するMOSトランジスタのサブスレッショルド

でのバンプ発生、ゲート酸化膜の信頼性の低下あるいはトレンチキャパシタの容量絶縁膜の絶縁性劣化等が頻出するようになる。

【0005】 上記のような問題点を回避するためには、上記のトレンチの角張ったコーナー部に丸みを付けること（以下、丸み付け処理という）が有効になる。よく知られた従来の丸み付け処理として、トレンチ側壁部の熱酸化の方法がある。この方法は、1100℃以上の高温で熱酸化が施され、熱酸化膜の粘性流動によって上記コーナー部が丸み付けされるのを利用するものである。

【0006】 また、他の従来の技術として、特開平6-21214号公報に示されているように、アモルファスシリコンあるいはエピタキシャル法によるシリコンが上記のトレンチの側壁部に成膜され、このアモルファスシリコンあるいはシリコンが熱酸化される方法がある。以下、特開平6-21214号公報に記載されている技術について図3に基づいて説明する。

【0007】 図3（a）に示すように、シリコン基板21上にフォトリソグラフィ技術でレジストマスク22が形成される。そして、このレジストマスク22をエッチングマスクにして、シリコン基板21表面が反応性イオンエッチング（RIE）で異方性エッチングされる。このようにして、図3（b）に示すように、トレンチ23が形成される。

【0008】 次に、化学気相成長（CVD）法でアモルファスシリコン膜24が形成される。このアモルファスシリコン膜24の成膜でコーナー部の角は擬似的に丸められるようになる。そして、熱酸化でこのアモルファスシリコン膜24が全て熱酸化される。ここで、熱酸化の酸化温度は1000℃以上である。この熱酸化後にトレンチの内壁に形成されたシリコン酸化膜が除去される。

【0009】 このようにして、図3（d）に示すように、シリコン基板21表面に形成されたトレンチ23の上部のコーナー部に丸み25が形成されるようになる。

【0010】

【発明が解決しようとする課題】 しかし、このような従来の技術では、熱酸化の温度は1000℃以上である。このような温度では、熱酸化工程でシリコン基板にスリップ等の結晶欠陥が発生する。特に、シリコンウェーハが300mm ϕ のような大口径になると、上記のような結晶欠陥が多発するようになる。

【0011】 また、特開平6-21214号公報に記載されている技術では、アモルファスシリコン膜やエピタキシャル法でのシリコン膜が堆積される。しかし、このような成膜方法では、アモルファスシリコン膜またはシリコン膜のウェーハ面内での均一性が悪い。このために、トレンチのコーナー部に形成される丸み25の程度にバラツキが生じる。また、この場合には製造コストが上昇するようになる。

【0012】 本発明の目的は、上記のコーナー部での丸

み付け処理のための熱酸化の温度が低温にできるようにし、上記の問題点が容易に解決できる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】このために、本発明の半導体装置の製造方法は、半導体基板の主表面から基板内部に設けられたトレンチの上部コーナー部を予め非晶質化する工程と、前記非晶質化後に前記シリコン基板表面を熱酸化し前記トレンチの上部コーナー部を丸め酸化する工程とを含む。

【0014】ここで、半導体基板の主表面に所定の開口部を有するイオン注入用のマスクが形成され、前記開口部を通して半導体基板表面に斜めイオン注入がなされて半導体基板表面が非晶質化される。そして、前記イオン注入用のマスクをエッチングマスクにして前記開口部にトレンチが形成される。

【0015】あるいは、半導体基板の主表面に所定の開口部を有するマスクが形成され前記マスクをエッチングマスクにして前記開口部にトレンチが形成される。そして、前記マスクが除去され半導体基板の全面に斜めイオン注入がなされて半導体基板表面が非晶質化される。

【0016】ここで、前記マスクはシリコン酸化膜、シリコン窒化膜およびフォトレジスト膜がこの順に積層した積層膜で構成される。また、前記半導体基板はシリコン基板であり、前記斜めイオン注入されるイオンにはシリコンあるいはゲルマニウムが使用される。

【0017】このようにして、トレンチの上部コーナー部が非晶質化されるために、熱酸化でこの領域が増速酸化されるようになり、上述した丸み付け処理がなされるようになる。

【0018】

【発明の実施の形態】次に、本発明の実施の形態を図1および図2に基づいて説明する。図1と図2は、トレンチ構造を半導体基板表面に形成する場合の工程順の断面図である。

【0019】図1(a)に示すように、シリコン基板1表面にシリコン酸化膜2が熱酸化法で形成される。ここで、シリコン酸化膜2の膜厚は20nm程度に設定される。そして、シリコン酸化膜2上にシリコン窒化膜3がCVD法で堆積される。ここで、シリコン窒化膜3の膜厚は150nm程度である。そして、シリコン窒化膜3上にフォトレジスト膜4が、公知のフォトリソグラフィ技術で形成される。

【0020】次に、トレンチの形成される領域のフォトレジスト膜4がフォトリソグラフィ技術で開口される。このようにして、図1(b)に示すようにレジストマスク4aが形成される。次に、レジストマスク4aがドライエッチングのマスクにされ、シリコン窒化膜3が反応性イオンエッチング(RIE)で選択的に除去される。このようにして、開口部5が形成されるようになる。こ

こで、シリコン酸化膜2はエッチングされない。

【0021】図1(c)に示すように、斜め注入イオン6が全面に回転イオン注入される。ここで、レジストマスク4aとシリコン窒化膜3がイオン注入のマスクに用いられ、開口部5を通して、シリコン酸化膜2下のシリコン基板1表面にシリコン、ゲルマニウムあるいはリン等の原子が導入される。このようにして、図1(c)に示すように、シリコン基板1の表面に選択的にアモルファス層7が形成されるようになる。このアモルファス層7はシリコンの非晶質層になっている。ここで、イオンの注入エネルギーは40keV程度であり、そのドーズ量は $5 \times 10^{14} / \text{cm}^2$ 以上になるように設定される。このようなイオンの注入条件で、アモルファス層7の深さは30nm程度になる。

【0022】次に、図2(a)に示すように、レジストマスク4aがドライエッチングのマスクにされ、シリコン基板1の表面がRIEでエッチングされて、トレンチ8が形成される。ここで、トレンチ8の深さは、その用途たとえばトレンチ素子分離あるいはトレンチキャパシタによってそれぞれに設定される。このトレンチ8の形成で、アモルファス・コーナー部9がトレンチのコーナー部に形成されるようになる。

【0023】次に、レジストマスク4aが除去される。そして、シリコン窒化膜3が熱酸化のマスクにされ、シリコン基板1表面が熱酸化される。この熱酸化の条件では、酸化温度が950℃程度であり、酸化雰囲気ガスは酸素と窒素の混合ガスである。この熱酸化により、トレンチ8の内壁およびトレンチのコーナー部に膜厚20nm程度の熱酸化膜10が形成されるようになる。この熱酸化後、トレンチのコーナー部にはアモルファス・コーナー部9が形成されているために、熱酸化が他の領域より促進され、図2(b)に示すように、トレンチのコーナー部に丸み11が形成されるようになる。

【0024】そして、シリコン窒化膜3は公知の方法で除去される。このようにして、図2(c)に示すように、トレンチ8およびシリコン基板1の表面に熱酸化膜10が形成される。ここで、トレンチ8の上部のコーナー部に丸み11が形成されている。

【0025】このように、本発明では、トレンチの上部のコーナー部が非晶質化され、それから1000℃以下の熱酸化が施される。このために、熱酸化膜の粘性流動はなく、シリコン基板への結晶欠陥の発生は皆無になる。また、この場合の非晶質化はイオンの斜めイオン注入で行われるため、非常に制御性が高くなり、トレンチのコーナー部の丸め形成が容易になる。

【0026】このようにして、トレンチ8にコーナー部に丸み11の形成され、その後の工程で、トレンチ8にトレンチ素子分離あるいはトレンチキャパシタが形成されるようになる。

【0027】以上の発明の実施の形態では、トレンチ8

形成の前の工程で斜めイオン注入がなされ、トレンチのコーナー部となるところが予め非晶質化された。本発明は、このような方法に限定されない。図2(a)で説明したように、シリコン基板1の表面にトレンチ8が形成された後に、レジストマスク4a、シリコン窒化膜3およびシリコン酸化膜2が除去され、それから、全面に斜めイオンが回転イオン注入されてもよい。この場合の注入イオンもシリコン、ゲルマニウムあるいはリン等である。ここで、注入エネルギーは20keV程度に設定される。

【0028】

【発明の効果】以上に説明したように、本発明では、トレンチの上部のコーナー部が斜めイオン注入で非晶質化される。そして、比較的到低温の熱酸化により、トレンチの上部のコーナー部が丸めら、丸み付け処理がなされる。

【0029】このようにして、従来の技術で生じていた、熱酸化工程でシリコン基板にスリップ等の結晶欠陥が発生することは皆無になる。特に、シリコンウェーハが300mmφのような大口径になっても、従来の技術のように結晶欠陥の多発することはなくなる。

【0030】また、トレンチの上部のコーナー部の非晶質化の制御性が高く、トレンチのコーナー部に形成される丸みの程度のバラツキが小さくなる。そして、その製

造コストが低減する。

【0031】このようにして、高品質のトレンチ素子分離あるいはトレンチキャパシタが半導体装置に容易に形成できるようになる。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明するための製造工程順の断面図である。

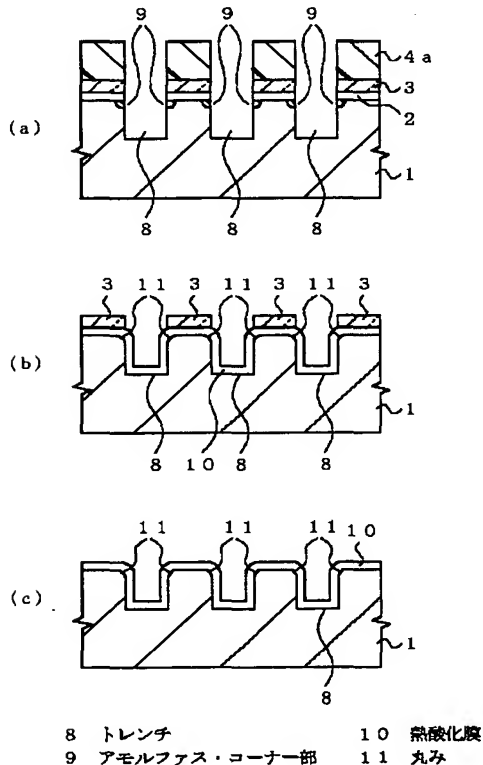
【図2】本発明の実施の形態を説明するための工程順の断面図である。

【図3】従来の技術を説明するための製造工程順の断面図である。

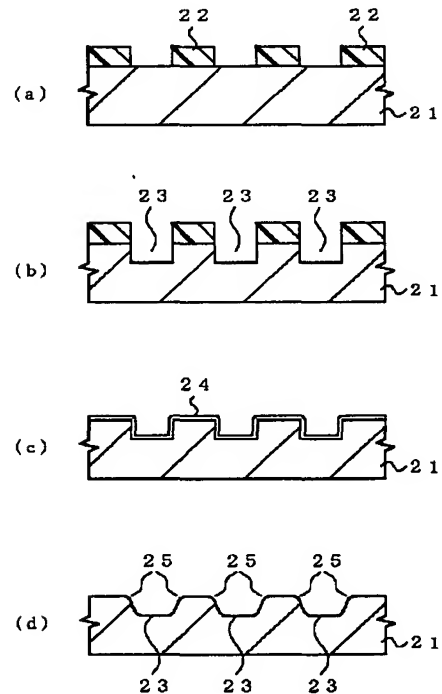
【符号の説明】

- 1, 21 シリコン基板
- 2 シリコン酸化膜
- 3 シリコン窒化膜
- 4, 22 レジストマスク
- 5 開口部
- 6 斜め注入イオン
- 7 アモルファス層
- 8, 23 トレンチ
- 9 アモルファス・コーナー部
- 10 熱酸化膜
- 11, 25 丸み
- 24 アモルファスシリコン膜

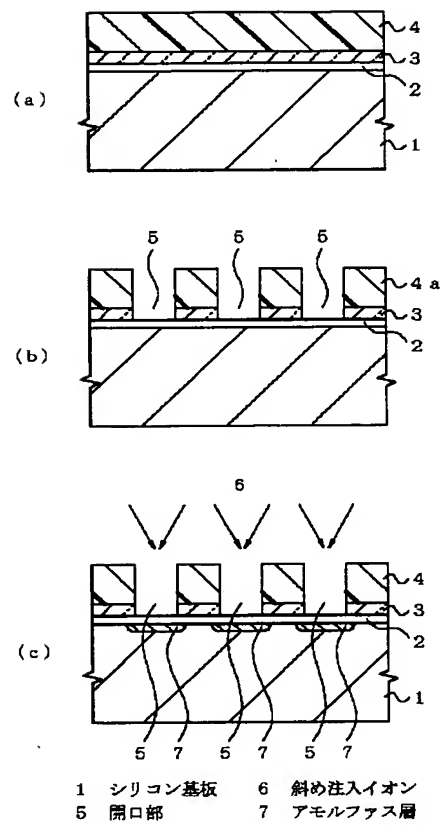
【図2】



【図3】



【図1】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8242

識別記号

F I